

Patent



IPW

Customer No. 31561
Application No.: 10/709,263
Docket No. 13043-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/709,263
Filed : Apr 26, 2004
For : NON-VOLATILE MEMORY CELL
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

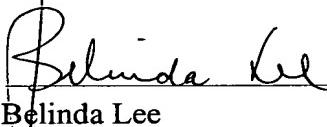
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 93106429, filed on: 2004/3/11.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 2, 2004

By: 
Belinda Lee
Registration No.: 46,863

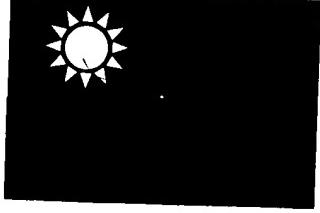
Please send future correspondence to:

**7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.**

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 03 月 11 日
Application Date

申請案號：093106429
Application No.

申請人：力旺電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 5 月
Issue Date

發文字號：09320469780
Serial No.

BEST AVAILABLE COPY

申請日期：
申請案號：

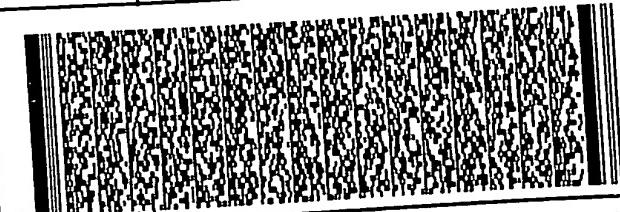
IPC分類

(以上各欄由本局填註)

發明專利說明書

非揮發性記憶單元及其製造方法

一、 發明名稱	中文	
	英文	A NON-VOLATILE MEMORY CELL AND FABRICATING METHOD THEREOF
二、 發明人 (共5人)	姓名 (中文)	1. 陳東昇
	姓名 (英文)	1. CHEN, TUNG SHENG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣大溪鎮員林路三段152巷39號
	住居所 (英 文)	1. NO. 39, LANE 152, SEC. 3, YUANLIN RD., DASI TOWNSHIP, TAOYUAN COUNTY 335, TAIWAN (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 力旺電子股份有限公司
	名稱或 姓名 (英文)	1. EMEMORY TECHNOLOGY INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行一路12號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F, NO. 12, LI-HSIN RD. 1, SCIENCE-BASED INDUSTRIAL PARK, HSIN-CHU,
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHONG JEN



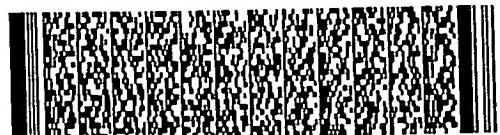
申請日期：	
申請案號：	

IPC分類

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	2. 吳國宏
	姓 名 (英文)	2. WU, KUO HONG
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 桃園縣中壢市舊明里29鄰陸光六村2號
	住居所 (英 文)	2. NO. 2, LUGUANG 6TH VILLAGE, JHONGLI CITY, TAOYUAN COUNTY 320, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 高進興 4. 周志文
	姓名 (英文)	3. KAO, CHIN HSING 4. CHOU, JIH WEN
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 桃園縣大溪鎮瑞源里24鄰慈安六村70號1樓 4. 新竹市科園里民享街176巷21號
	住居所 (英文)	3. 1F., NO. 70, CIH-AN 6TH VILLAGE, DASI TOWNSHIP, TAOYUAN COUNTY 335, TAIWAN (R. O. C.) 4. NO. 21, LANE 176, MINSIANG ST., HSINCHU CITY 300, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



12934twf.psd

申請日期：

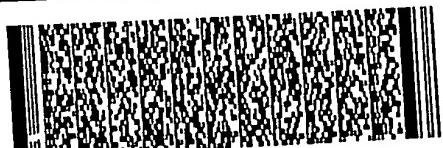
申請案號：

IPC分類

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	5. 張湘忠
	姓名 (英文)	5. CHANG, HSIANG CHUNG
	國籍 (中英文)	5. 中華民國 TW
	住居所 (中 文)	5. 台中市西屯區長安路2段319號3F之8
	住居所 (英 文)	5. NO. 21, LANE 176, MINSIANG ST., HSINCHU CITY 300, TAIWAN (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
代表人 (英文)		



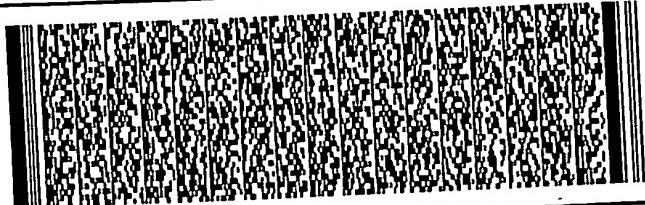
129341wf.pdf

四、中文發明摘要 (發明名稱：非揮發性記憶單元及其製造方法)

一種非揮發性記憶單元，此記憶單元包括穿隧介電層、阻擋介電層、漸變式電荷捕捉層、閘極導電層、源極層與汲極區。其中穿隧介電層係配置於基底上。此外，阻擋介電層係配置於穿隧介電層上。另外，漸變式電荷捕捉層係配置於穿隧介電層與阻擋介電層之間，且此漸變式電荷捕捉層之材料組成比從靠近穿隧介電層之一側至靠近電阻擋介電層之一側，隨位置不同而改變。此外，閘極導電層係配置於阻擋介電層上。另外，源極區與汲極區係分別配置於閘極導電層兩側的基底中。

五、英文發明摘要 (發明名稱：A NON-VOLATILE MEMORY CELL AND FABRICATING METHOD THEREOF)

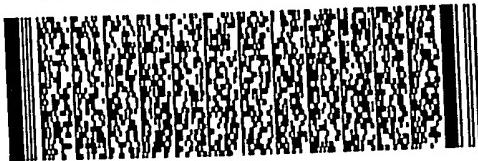
A non-volatile memory cell is provided. The non-volatile memory is consisted of a tunnel dielectric layer, a blocking dielectric layer, a graded composition of charge trapping layer, a gate conductive layer, a source region and a drain region. The tunnel dielectric layer is located on a substrate. The blocking dielectric layer is located over the tunnel dielectric layer. The



四、中文發明摘要 (發明名稱：非揮發性記憶單元及其製造方法)

五、英文發明摘要 (發明名稱：A NON-VOLATILE MEMORY CELL AND FABRICATING METHOD THEREOF)

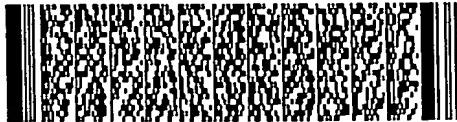
graded composition of charge trapping layer with a changing material composition ratio is located between the tunnel dielectric layer and the blocking dielectric layer, and the material composition ratio is gradually varied from one side of the tunnel dielectric layer to the other side of the blocking dielectric layer. The gate conductive layer is located on the blocking



四、中文發明摘要 (發明名稱：非揮發性記憶單元及其製造方法)

五、英文發明摘要 (發明名稱：A NON-VOLATILE MEMORY CELL AND FABRICATING METHOD THEREOF)

dielectric layer. The source region and the drain region are separately located in the substrate beside the gate conductive layer.



六、指定代表圖

(一)、本案代表圖為：圖1

(二)、本案代表圖之元件代表符號簡單說明：

100：基底

102：穿隧介電層

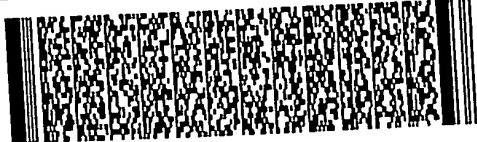
104：漸變式電荷捕捉層

106：阻擋介電層

108：閘極導電層

110a：源極區

110b：汲極區



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

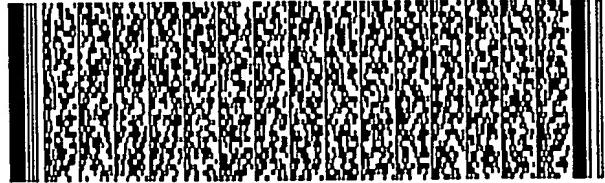
本發明是有關於一種記憶體元件及其製造方法，且特別是有關於一種非揮發性記憶單元及其製造方法。

【先前技術】

可電性抹除且可程式化之唯讀記憶體(Electrically Erasable Programmable Read-Only Memory, EEPROM)由於技術逐漸演進至具有可多次進行資料存入、讀取及快速抹除等動作，且所存入之資料在斷電後也不會消失之快閃記憶體(Flash Memory)，所以已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

這種可電性抹除且可程式化之記憶體目前較成熟的技術係以摻雜的多晶矽製作浮動閘極(Floating Gate)與控制閘極(Control Gate)。並且，浮動閘極與控制閘極之間係以氧化矽介電層相隔，而浮動閘極與基底間係以穿隧氧化層(Tunnel Oxide)相隔。當記憶體進行程式化(Program)時，注入浮動閘極的電荷會均勻分布於整個多晶矽浮動閘極層中。然而，當多晶矽浮動閘極層下方的穿隧氧化層有缺陷存在時，就容易造成元件的漏電流，進而影響元件的可靠度。

因此，為了解決上述元件漏電流問題，目前習知的一種方法是利用氮化矽電荷捕捉層取代多晶矽浮動閘極，並且與上下兩層氧化矽層構成氧化矽/氮化矽/氧化矽之ONO堆疊結構。由於氮化矽電荷捕捉層本身係為一非導電層，因此被捕捉的電荷不會均勻分布於整個氮化矽電荷捕捉層



五、發明說明 (2)

之中，而是集中於氮化矽電荷捕捉層的局部區域。於是，相較於以多晶矽浮動閘極來儲存電荷之非揮發記憶體元件，此種非揮發記憶體元件對於穿隧氧化層中的缺陷之敏感度較小，因此元件漏電流的現象較不易發生。

不過，值得注意的是，電荷的捕捉效率係與氮化矽電容荷捕捉層的性質有密切的關係。詳細的說明是，氮化矽是否的組成比是決定電荷是否容易逃逸的關鍵。標準的組成比為 $4:3$ ，然而此深層捕陷能階卻不易讓電荷進入其中，至於經過重複寫入而逐漸進入深層捕陷能階的電荷則不易被抹除，進而影響記憶體元件的捕捉效率與可靠度。

為了改善上述的問題，美國專利第6406960B1號係提出一種具有高矽含量(Silicon-Rich)氮化矽電荷捕捉層之ONO結構的製造方法。藉由提高矽於氮化矽電荷捕捉層中的組成比，提高其位能障壁(Potential Barrier)，減少電荷從氮化矽電荷捕捉層逃逸的機率。然而，此高矽含量氮化矽電荷捕捉層雖然減少了電荷逃逸的機率，但是相對地，也因為捕陷能階較淺而增加其捕陷電荷的困難度。

此外，在美國專利第US 2003/0190821 A1號中，係提出一種高氮含量(Nitrogen-Rich)氮化矽緩衝層及其製造方法。此高氮含量氮化矽緩衝層係為金氧半元件(MOS)與矽基底之間的屏障層，藉由具有高能隙(Band Gap)的捕陷



五、發明說明 (3)

能階(Trapping Level)增加電荷捕捉的機率，避免電荷穿隧閘氧化層，造成閘氧化層劣化(Degradation)的問題。雖然此高氮含量氮化矽緩衝層可以捕捉電荷，避免電荷逃逸，但是若將此高氮含量氮化矽層應用於非揮發記憶體元件之電荷捕捉層中，由於此高氮含量氮化矽層的位能障壁較低，因此容易產生已捕捉之電荷自其中逃逸，而造成元件漏電流的問題。於是，在非揮發記憶體元件中，如何製作出具有高電荷捕捉效率之電荷捕捉層是亟待解決的問題。

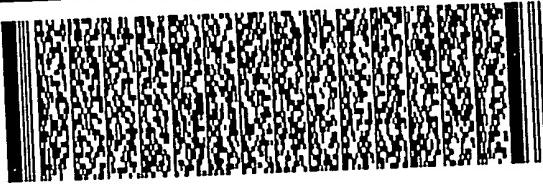
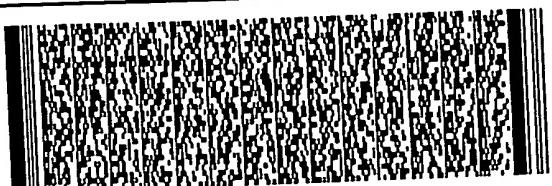
【發明內容】

有鑑於此，本發明的目的就是在提供一種非揮發性記憶單元，以提加電荷捕捉層之電荷捕捉效率。

本發明的另一目的就是在提供一種非揮發性記憶單元，可以擴張非揮發性記憶單元抹寫後之啟動電壓偵測窗口、維持非揮發性記憶單元抹寫速度之合理性、強化非揮發性記憶單元重複抹寫之耐用性、延長非揮發性記憶單元操作電壓及消儲存電荷之持久性、降低非揮發性記憶單元元件儲存多位元之可行耗功率、及幫助非揮發性記憶單元元件之相容性。

本發明的另一目的是提供一種非揮發性記憶單元的製造方法，可以製作良好的電荷捕捉層、減少非揮發性記憶單元元件垂直方向之薄膜厚度，並確保非揮發性記憶單元與現行製程之相容性。

本發明提出一種非揮發性記憶單元，此記憶單元包括



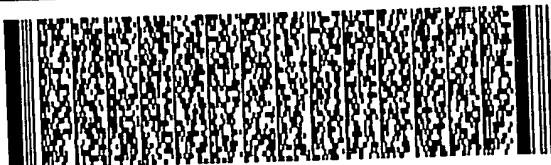
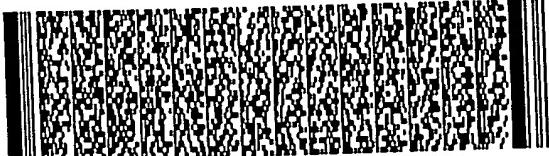
五、發明說明 (4)

穿隧道電層、阻擋介電層、漸變式電荷捕捉層、開極導電層、源極區與汲極區。其中穿隧道電層係配置於基底上。式此此外，阻擋介電層係配置於穿隧道電層上。另外，漸變式電荷捕捉層之材料組成比從穿隧道電層之一側至電層漸變式電荷捕捉層之一側，隨位置不同而改變。此外，開極導電層捕捉係配置於阻擋介電層上。另外，源極區與汲極區係分別配置於開極導電層兩側的基底中。

由於本發明係以漸變式電荷捕捉層取代習知之材料組成比固定之電荷捕捉層，因此可以提高電荷捕捉層之電荷捕捉效率，進而提升非揮發性記憶單元其儲存多位元的可行性。

本發明提出一種非揮發性記憶單元的製造方法，此方法係先於基底上形成穿隧道電層。然後，於穿隧道電層上形成漸變式電荷捕捉層。其中在形成此漸變式電荷捕捉層時，係使用數個反應物，且這些反應物之間過程中形成混合合比，而且在此漸變式電荷捕捉層的形成過程中，成此阻擋介電層。之後，於阻擋介電層上形成開極導電層。繼而，於開極導電層、阻擋介電層、漸變式電荷捕捉層與源極區與汲極區。然後，於開極導電層兩側之基底中形成源極區與汲極區。

由於本發明以控制反應物混合比的方式，製作出一種具有高電荷捕捉效率之漸變式電荷捕捉層，因此本發明之



五、發明說明 (5)

製造方法與習知之製造方法相容，故可以在不額外增加其他設備成本的情況下，達到優化電荷捕捉層特性效果。

單元極閘、於基底間，漸記層置。導此捉配上，介隙中層對區，介目極荷層電阻帶成擋數與區，與能構阻的擋數及區，其電相區，介隙穿電變梯側能極，且能隨位置較極導基層的兩側，源外中，且能隨位置較極導基層的兩側，源外中。

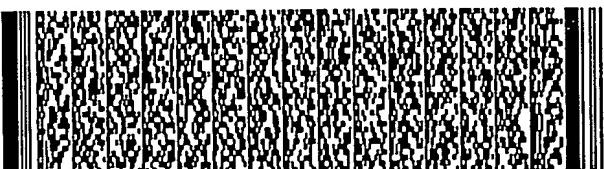
由於本發明係以具有漸變式能帶間隙之漸變式電荷捕捉層，因此可以提高電荷捕捉層之電荷捕捉效率，進而提升非揮發性記憶單元其儲存多位元的可行性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

〔實施方式〕

圖1是繪示依照本發明一較佳實施例的一種非揮發性記憶單元之結構剖面示意圖。

請參照圖1，本發明之非揮發性記憶單元包括基底



五、發明說明 (6)

100、穿隧介電層102、漸變式電荷捕捉層104、阻擋介電層106、閘極導電層108、源極區110a與汲極區110b。

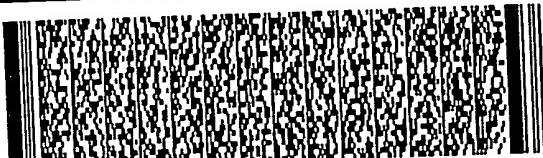
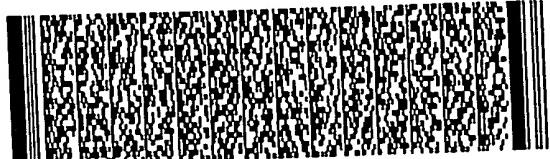
基底100例如是矽基底，其可為p型矽基底或n型矽基底。

穿隧介電層102係配置於基底100上，其材質例如是氧化矽或是其他合適之材料。

另外，阻擋介電層106係配置於穿隧介電層102上，其材質例如是氧化矽或是其他合適之材料。

此外，漸變式電荷捕捉層104係配置於該穿隧介電層102與該阻擋介電層106之間，且此漸變式電荷捕捉層104係具有一材料組成比。在此所謂之漸變式電荷捕捉層104，是指材料組成比從底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)會隨著位置不同而改變。舉例來說，漸變式電荷捕捉層104之材料組成比，例如是由從底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)逐漸變小，而其厚度約為50埃。

在一較佳實施例中，漸變式電荷捕捉層104例如是漸變式氮化矽層(Si_xN_y)，且此是漸變式氮化矽層中的矽與氮之材料組成比(x/y)係由底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)逐漸變小，以構成底部(鄰接穿隧介電層102之一側)為高矽含量(Silicon-Rich)氮化矽，在頂部(鄰接阻擋介電層106之一側)為高氮含量(Nitrogen-Rich)氮化矽，中間為標準氮化矽之漸變式電荷捕捉層104。在此，標準氮化矽(Si_3N_4)的

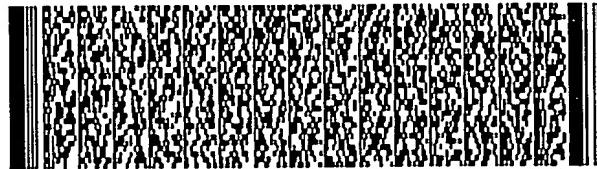


五、發明說明 (7)

矽與氮之材料組成比(x/y)為 $3/4$ ，則高矽含量(Silicon-Rich)氮化矽的矽與氮之材料組成比(x/y)為大於 $3/4$ ，高氮含量(Nitrogen-Rich)氮化矽的矽與氮之材料組成比(x/y)為小於 $3/4$ 。

此外，閘極導電層108係配置於阻擋介電層106上，其材質例如是多晶矽、摻雜多晶矽或是其他合適之導電材料。另外，源極區110a與汲極區110b係分別配置於閘極導電層108兩側的基底100中，其中源極區110a與汲極區110b例如是摻雜有n型摻質或p型摻質。

值得一提的是，在本實施例中，由於漸變式電荷捕捉層104頂部(鄰接阻擋介電層106之一側)之氮含量較多，所以此處具有較多之捕陷能階(Trapping Level)，即兼具深層及淺層(Shallow)捕陷能階。而且，在另一方面，由於漸變式電荷捕捉層104底部(鄰接穿隧介電層102之一側)之矽含量較多，所以此處具有較高之位能障壁(Barrier height)。於是，漸變式電荷捕捉層104係具有一漸變式能帶間隙。當電荷如圖2所示之穿過穿隧介電層102而進入漸變式電荷捕捉層104中，並以橫向躍遷方式躍遷至漸變式電荷捕捉層104頂部(鄰接阻擋介電層106之一側)時，會被該處之捕陷能階捕捉，不易往阻擋介電層106逃逸。而且，若電荷欲往反方向逃逸，即反向穿隧(Back-Tunneling)時，由於漸變式電荷捕捉層104底部(鄰接穿隧介電層102之一側)位能障壁較高，因此可以大幅減少電荷反向穿隧的機率，進而提升漸變式電荷捕捉層104

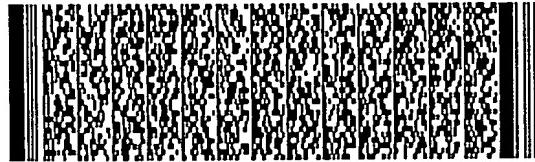
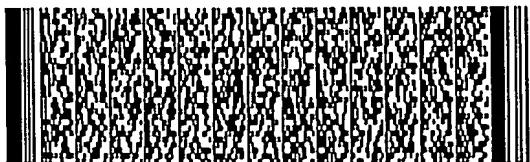


五、發明說明 (8)

之電荷捕捉效率。

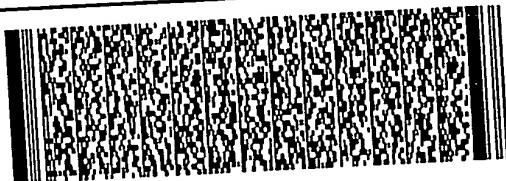
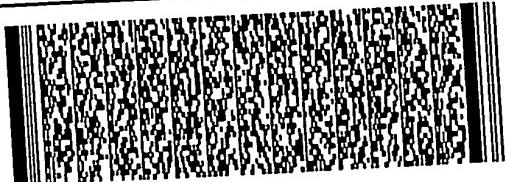
在另一較佳實施例中，漸變式電荷捕捉層亦可以是如圖3所示之漸變式電荷捕捉層112，其材料組成比例如是由底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)逐漸變大。其中此漸變式電荷捕捉層112例如是漸變式氮化矽層(Si_xN_y)，且此漸變式氮化矽層中的矽與氮之材料組成比(x/y)係由底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)逐漸變大，以構成底部(鄰接穿隧介電層102之一側)為高氮含量氮化矽，在頂部(鄰接阻擋介電層106之一側)為高矽含量氮化矽，中間為標準氮化矽之漸變式電荷捕捉層112。而且，由於矽含量較多之漸變式電荷捕捉層112頂部(鄰接阻擋介電層106之一側)具有高位能障壁，且氮含量較多之漸變式電荷捕捉層112底部(鄰接穿隧介電層102之一側)具有較多之捕陷能階。因此，漸變式電荷捕捉層112係具有一漸變式能帶間隙。當電荷如圖4所示之穿過穿隧介電層102而進入漸變式電荷捕捉層112中，並躍遷至漸變式電荷捕捉層112頂部(鄰接阻擋介電層106之一側)時，由於該處之位能障壁較高，因此電荷不易往阻擋介電層106逃逸。而且，當電荷欲反向穿隧而到達漸變式電荷捕捉層112底部(鄰接穿隧介電層102之一側)時，電荷會以橫向躍遷方式被捕陷能階捕捉，而無法自漸變式電荷捕捉層112逃逸。於是，本發明之漸變式電荷捕捉層112具有較佳之電荷捕捉效率。

在又一較佳實施例中，漸變式電荷捕捉層亦可以是如



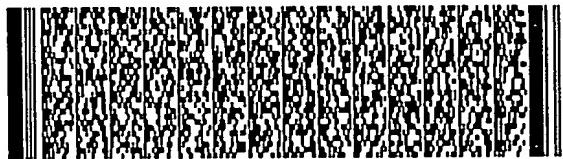
五、發明說明 (9)

圖5所示之漸變式電荷捕捉層114，其材料組成比例如是由底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)先逐漸變大，再逐漸變小。其中此漸變式電荷捕捉層114例如是漸變式氮化矽層(Si_xN_y)，且此是漸變式捕捉層114中的矽與氮之材料組成比(x/y)係由漸變式電荷氮化矽層中的矽與氮之材料組成比(x/y)係由漸變式電荷捕捉層114的底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)先逐漸變大，再逐漸變小，以構成底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)為高氮含量氮化矽，在中間為高矽含量氮化矽，且在上述二者之間為標準氮化矽之漸變式電荷捕捉層114。而且，由於矽含量較多之漸變式電荷捕捉層114具有高位能障壁，且氮含量較多之漸變式電荷捕捉層114底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)具有較多之捕陷能階。因此，漸變式電荷捕捉層114係具有一漸變式能帶間隙。當電荷如圖6所示之穿過層114而進入漸變式電荷捕捉層114中，並躍遷至穿隧介電層102而進入漸變式電荷捕捉層114中間時，由於該處之位能障壁較漸變式電荷捕捉層114的高，因此電荷不易往穿隧介電層102或是阻擋介電層106的方向逃逸。而且，當電荷欲向兩側穿隧而到達漸變式電荷捕捉層114底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)時，電荷會以橫向躍遷方式被捕陷，而無法自漸變式電荷捕捉層114逃逸。於是，本發明之漸變式電荷捕捉層114具有較佳之電荷捕捉效率。



五、發明說明 (10)

在再一較佳實施例中，漸變式電荷捕捉層亦可以是如圖7所示之漸變式電荷捕捉層116，其材料組成比例例如是由底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)先逐漸變小，再逐漸變大。其中此漸變式電荷捕捉層116例如是漸變式氮化矽層(Si_xN_y)，且此是漸變式氮化矽層中的矽與氮之材料組成比(x/y)係由漸變式電荷捕捉層116的底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)先逐漸變小，再逐漸變大，以構成底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)為高矽含量氮化矽，在中間為高氮含量氮化矽，且在上述二者之間為標準氮化矽之漸變式電荷捕捉層116。而且，由於氮含量較多之漸變式電荷捕捉層116中間具有較多之捕陷能階，且矽含量較多之漸變式電荷捕捉層116底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)具有高位能障壁。因此，漸變式電荷捕捉層116係具有一漸變式能帶間隙。當電荷如圖8所示之穿過穿隧介電層102而進入漸變式電荷捕捉層116中，並躍遷至漸變式電荷捕捉層116中間時，會被該處之捕陷能階捕捉，而不易往穿隧介電層102或是阻擋介電層106的方向逃逸。而且，當電荷欲向兩側穿隧而到達漸變式電荷捕捉層116底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)時，由於該二處之位能障壁較高，因此無法自漸變式電荷捕捉層116逃逸。於是，本發明之漸變式電荷捕捉層116具有較佳之電荷捕捉效率。



五、發明說明 (11)

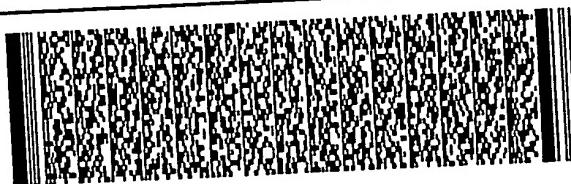
在上述數個實施例中，由於從漸變式電荷捕捉層104、112、114或116鄰接穿隧介電層102之一側至鄰接阻擋介電層106之一側係逐漸改變矽與氮之材料組成比，因此可以藉由高的矽與氮之材料組成比提高位能障壁，防止電荷逃逸，並且藉由低的矽與氮之材料組成比增加捕陷能階，以提高電荷捕捉機率。於是本發明之漸變式電荷捕捉層104、112、114及116皆具有較佳之電荷捕捉效率。

上述之漸變式電荷捕捉層的矽與氮之材料組成比的改變方式只是本發明之較佳實施例，當然本發明之漸變式電荷捕捉層只要矽與氮之材料組成比從底部(鄰接穿隧介電層102之一側)至頂部(鄰接阻擋介電層106之一側)會隨著位置不同而改變即可，並不一定要限制於上述四種方式。

為了詳述本發明，以下係圖9A至圖9C說明上述之非揮發性記憶單元的製造方法。

請參照圖9A，此非揮發性記憶單元的製造方法係先於基底100上形成穿隧介電層102。其中基底100例如是p型基底或是n型基底，而穿隧介電層102的材質例如是氧化矽，且其形成方法例如是以一氧化二氮(N_2O)為反應氣體，進行熱氧化製程，而形成之。

然後，於穿隧介電層102上形成漸變式電荷捕捉層104。其中在形成漸變式電荷捕捉層104時係使用數個反應物，且這些反應物之間係具有混合比，且在漸變式電荷捕捉層104的形成過程中，例如是控制此混合比，而使其逐漸變小。

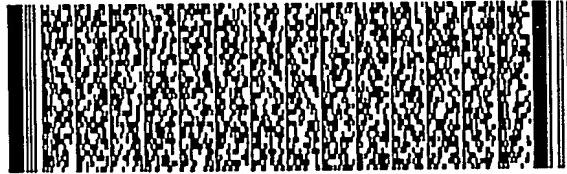
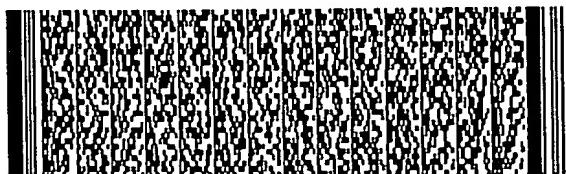


五、發明說明 (12)

在一較佳實施例中，係利用低壓化學氣相沈積法(LPCVD)來形成漸變式氮化矽(Si_xN_y)層。其中這些反應物包括含矽反應氣體與含氮反應氣體，其分別例如是二氯矽烷(SiH_2Cl_2)與氨氣(NH_3)。而且，在漸變式氮化矽層的形成過程中，例如是控制二氯矽烷與氨氣之間的混合比，而使其矽與氮之材料組成比(x/y)逐漸變小，以形成底部(鄰接穿隧介電層102之一側)為高矽含量氮化矽，在頂部(鄰接阻擋介電層106之一側)為高氮含量氮化矽，中間為標準氮化矽之漸變式電荷捕捉層104。

在一較佳實施例中，在漸變式氮化矽層的形成過程中，例如是控制二氯矽烷之流量，而使其於二氯矽烷之全流量的10%~90%之間變化，或是控制氨氣之流量，而使其於氨氣之全流量的10%~90%之間變化。舉例來說，若控制二氯矽烷之全流量，而使其為200 sccm，則在漸變式氮化矽層的形成過程中，二氯矽烷係於20~180 sccm之間進行控制。此外，若控制氨氣之全流量，而使其為500 sccm，則在漸變式氮化矽層的形成過程中，氨氣係於50~450 sccm之間進行控制。換言之，在漸變式氮化矽層中，含矽量最多的部分其二氯矽烷與氨氣之間的流量混合比係為180 : 50，而在含氮量最多的部分其二氯矽烷與氨氣之間的流量混合比係為20 : 450。

接著，請參照圖9B，於漸變式電荷捕捉層104上形成阻擋介電層106。其中阻擋介電層106的材質例如是氧化矽，而其形成方法例如是以四乙基矽酸酯



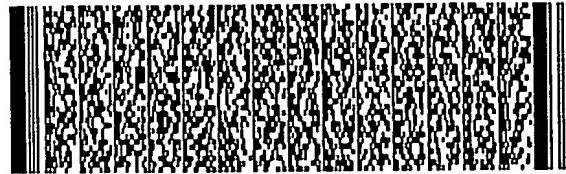
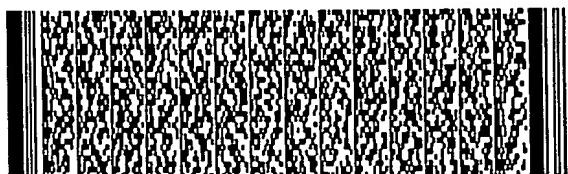
五、發明說明 (13)

(Tetra-Ethyl-Ortho-Silicate，簡稱TEOS)作為反應氣體，進行化學氣相沈積製程，而形成之。之後，於阻擋介電層106上形成閘極導電層108。其中閘極導電層108的材質例如是摻雜多晶矽，而其形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層(未繪示)後，進行離子佈植步驟，而形成之。此外，閘極導電層108的形成方法亦可在進行化學氣相沈積製程的同時，通入含有摻質之反應氣體如 PH_3 ，而形成之。

繼之，請參照圖9C，在定義閘極導電層108、阻擋介電層106、漸變式電荷捕捉層104與穿隧介電層102後，於閘極導電層108兩側之基底100中形成源極區110a與汲極區110b，以完成非揮發性記憶單元的製作。其中源極區110a與汲極區110b的形成方法例如是以n型摻質或是p型摻質進行離子佈植步驟，而形成之。

此外，在另一較佳實施例中，在形成如圖9A所示之漸變式電荷捕捉層的過程中，例如是控制二氯矽烷與氮氣之間的混合比，而使其矽與氮之材料組成比(x/y)逐漸變大，以形成如圖3所示之底部(鄰接穿隧介電層102之一側)為高氮含量氮化矽，在頂部(鄰接阻擋介電層106之一側)為高矽含量氮化矽，中間為標準氮化矽之漸變式電荷捕捉層112。

在又一較佳實施例中，在形成如圖9A所示之漸變式電荷捕捉層的過程中，例如是控制二氯矽烷與氮氣之間的混合比，而使其矽與氮之材料組成比(x/y)先逐漸變大，再



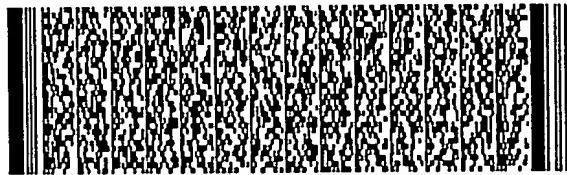
五、發明說明 (14)

逐漸變小，以形成如圖5所示之底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)為高氮含量氮化矽，在中間為高矽含量氮化矽，且在上述二者之間為標準氮化矽之漸變式電荷捕捉層114。

在再一較佳實施例中，在形成如圖9A所示之漸變式電荷捕捉層的過程中，例如是控制二氣矽烷與氮氣之間的混合比，而使其矽與氮之材料組成比(x/y)先逐漸變小，再逐漸變大，以形成如圖7所示之底部(鄰接穿隧介電層102之一側)及頂部(鄰接阻擋介電層106之一側)為高矽含量氮化矽，在中間高氮含量氮化矽，且在上述二者之間為標準氮化矽之漸變式電荷捕捉層116。

為了證明本發明之非揮發性記憶單元結構所能夠達到的特點，以下係以本發明之非揮發性記憶單元與習知之非揮發性記憶單元進行相關性質之測量及比較，以詳細說明之。其中本發明之如圖1所示之具有漸變式電荷捕捉層104的非揮發性記憶單元為實驗例1；習知具有固定材料組成比之標準氮化矽電荷捕捉層的非揮發性記憶單元為比較例1；習知具有固定材料組成比之高矽含量氮化矽電荷捕捉層的非揮發性記憶單元為比較例2。

圖10是繪示非揮發性記憶體之啟始電壓與時間之關係圖。其中縱軸表示啟始電壓(V)，橫軸表示時間(秒)。此外，圖中之□、○、△符號係分別表示實驗例1、比較例1、比較例2在程式化之後所得之關係曲線。由圖10可知，在程式化之後，約在10-3秒左右，本發明(實驗例1)具有



五、發明說明 (15)

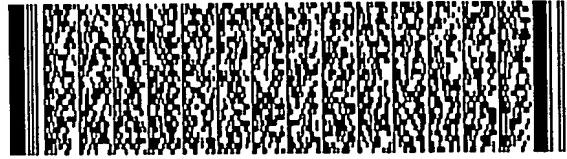
最大啟始電壓偏移。

另外，圖11是繪示非揮發性記憶體之啟始電壓與時間之關係圖。其中縱軸表示啟始電壓(V)，橫軸表示時間(秒)。此外，圖中之□、○、△符號係分別表示實驗例1、比較例1、比較例2在抹除之後所得之關係曲線。由圖11可知，在抹除之後，約在10-2秒左右，本發明(實驗例1)具有較合理之啟始電壓偏移。

圖12是繪示非揮發性記憶體之啟始電壓與程式化/抹除週期(P/E Cycles)次數之關係圖。其中縱軸表示啟始電壓(V)，橫軸表示程式化/抹除週期次數。此外，上方之□、○、△符號係分別表示實驗例1、比較例1、比較例2進行程式化所得之關係曲線，而下方之□、○、△符號係分別表示實驗例1、比較例1、比較例2進行抹除所得之關係曲線。

請參照圖12，非揮發性記憶體之啟動電壓偵測窗口(Detection Window)係與程式化與抹除之啟始電壓的差值有關。以比較例1或比較例2來說，其程式化與抹除之啟始電壓的差值約只有2V左右。不過，本發明之非揮發性記憶體(實驗例1)，其程式化與抹除之啟始電壓的差值較大，可達3V左右。因此本發明之具有漸變式氮化矽電荷捕捉層的非揮發性記憶體具有較大的啟動電壓偵測窗口。

此外，在經過多次程式化/抹除週期之後，比較例1的非揮發性記憶體，在大約10萬次左右的程式化/抹除週期後，其啟動電壓偵測窗口會消失，而使得非揮發性記憶體



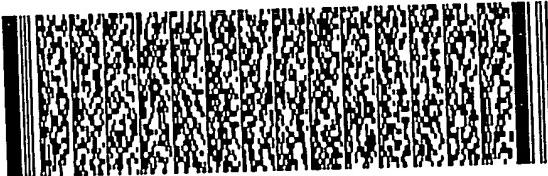
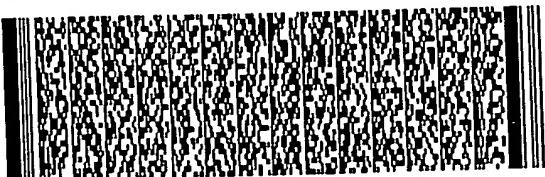
五、發明說明 (16)

失效。另外，比較例2的非揮發性記憶體，在大約200次左右的程式化/抹除週期後，啟動電壓偵測窗口亦會消失，而使得非揮發性記憶體失效。不過，本發明之非揮發性記憶體(實驗例1)，即使在經過100萬次左右的程式化/抹除週期後，其啟動電壓偵測窗口仍維持在3V左右，因此本發明之非揮發性記憶體具有顯著較佳的耐用性。

另外，圖13是繪示非揮發性記憶體之啟始電壓與時間之關係圖。其中縱軸表示啟始電壓(V)，橫軸表示時間(秒)。此外，上方之□、○、△符號係分別表示實驗例1、比較例1、比較例2進行程式化所得之關係曲線，而下方之□、○、△符號係分別表示實驗例1、比較例1、比較例2進行抹除所得之關係曲線。

請參照圖13，隨著時間的增長，啟始電壓會逐漸降低，而使得各個非揮發性記憶體的啟動電壓偵測窗口逐漸變小。以比較例1的非揮發性記憶體來說，在經過108秒之後，其啟動電壓偵測窗口僅剩0.3V左右，因此可能會產生非揮發性記憶體無法讀取的問題。此外，比較例2的非揮發性記憶體，在經過 $5*10^7$ 秒之後，其啟動電壓偵測窗口甚至會消失，因此會使得非揮發性記憶體無法再讀取。不過，本發明之非揮發性記憶體，即使在經過108秒之後，其啟動電壓偵測窗口仍有1.4V左右，因此本發明之非揮發性記憶體(實驗例1)，在108秒之後仍可進行資料讀取，故其資料儲存的持久性明顯較佳。

綜上所述，本發明至少具有下面的優點：



五、發明說明 (17)

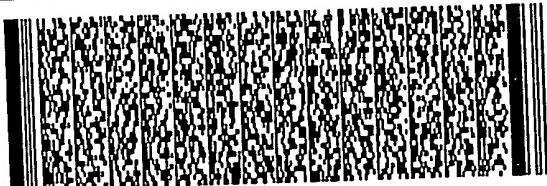
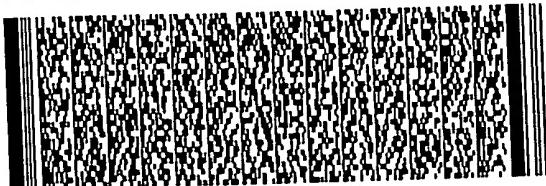
1. 由於本發明係以漸變式電荷捕捉層取代習知之材料組成比固定之電荷捕捉層，因此可以提高電荷捕捉層之電荷捕捉效率，進而提升非揮發性記憶單元其儲存多位元的可行性。

2. 由於本發明之漸變式電荷捕捉層電荷具有較佳之電荷捕捉效率，亦即電荷較易被捕捉，且捕捉後也較不易逃逸。因此本發明之非揮發性記憶單元其啟動電壓偵測窗口較大，且耐用性佳，而且資料儲存的持久性也較佳。

3. 相較於習知形成厚度較厚(約450 埃)的電荷捕捉層，以確保電荷捕捉效率，本發明之漸變式電荷捕捉層雖然厚度較薄(約50 埃)，但其卻仍具有較習知為佳之電荷捕捉效率。因此，使用本發明之具有漸變式電荷捕捉效率。因此，使用本發明之具有漸變式電荷捕捉效率。一揮發性記憶單元，其操作電壓較低，且消耗功率也較少。一

4. 由於本發明以控制反應物混合比的方式，製作發明一種具有高電荷捕捉效率之漸變式電荷捕捉層，因此本發明之製造方法與習知之製造方法相容，故可以在不額外增加其他設備成本的情況下，達到優化電荷捕捉層特性的效果。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1是依照本發明之一較佳實施例的一種非揮發性記憶單元之結構剖面示意圖。

圖2是電荷在圖1中之漸變式電荷捕捉層躍遷之示意圖。

圖3是依照本發明之另一較佳實施例的一種非揮發性記憶單元之結構剖面示意圖。

圖4是電荷在圖3中之漸變式電荷捕捉層躍遷之示意圖。

圖5是依照本發明之又一較佳實施例的一種非揮發性記憶單元之結構剖面示意圖。

圖6是電荷在圖5中之漸變式電荷捕捉層躍遷之示意圖。

圖7是依照本發明之再一較佳實施例的一種非揮發性記憶單元之結構剖面示意圖。

圖8是電荷在圖7中之漸變式電荷捕捉層躍遷之示意圖。

圖9A至圖9C是依照本發明之一較佳實施例的一種非揮發性記憶單元之製造流程剖面示意圖。

圖10是非揮發性記憶體之電荷寫入啟始電壓與時間之關係圖。

圖11是非揮發性記憶體之電荷抹除啟始電壓與時間之關係圖。

圖12是非揮發性記憶體之啟始電壓與程式化/抹除週期次數之關係圖。



圖式簡單說明

圖13是非揮發性記憶體之啟始電壓與時間之關係圖。

【圖式標記說明】

100：基底

102：穿隧介電層

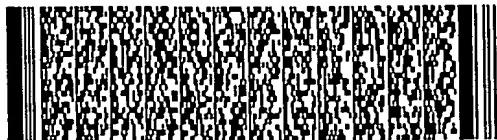
104、112、114、116：漸變式電荷捕捉層

106：阻擋介電層

108：閘極導電層

110a：源極區

110b：汲極區



六、申請專利範圍

1. 一種非揮發性記憶單元，包括：

一穿隧介電層，配置於一基底上；

一阻擋介電層，配置於該穿隧介電層上；

一漸變式電荷捕捉層，配置於該穿隧介電層與該阻擋介電層之間，且該漸變式電荷捕捉層之材料組成比從該穿隧介電層之一側至該阻擋介電層之一側，隨位置不同而改變；

一閘極導電層，配置於該阻擋介電層上；以及

一源極區與一汲極區，分別配置於該閘極導電層兩側的該基底中。

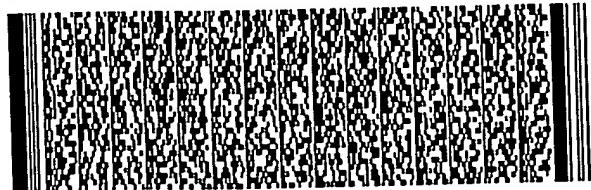
2. 如申請專利範圍第1項所述之非揮發性記憶單元，其中該漸變式電荷捕捉層係為一漸變式氮化矽層(Si_xN_y)。

3. 如申請專利範圍第2項所述之非揮發性記憶單元，其中該漸變式氮化矽層中的矽與氮的材料組成比(x/y)係由該穿隧介電層之一側至該阻擋介電層之一側逐漸變小。

4. 如申請專利範圍第2項所述之非揮發性記憶單元，其中該漸變式氮化矽層中的矽與氮的材料組成比(x/y)係由該穿隧介電層之一側至該阻擋介電層之一側逐漸變大。

5. 如申請專利範圍第2項所述之非揮發性記憶單元，其中該漸變式氮化矽層中的矽與氮的材料組成比(x/y)係由該穿隧介電層之一側至該阻擋介電層之一側先逐漸變大，再逐漸變小。

6. 如申請專利範圍第2項所述之非揮發性記憶單元，其中該漸變式氮化矽層中的矽與氮的材料組成比(x/y)係



六、申請專利範圍

由該穿隧介電層之一側至該阻擋介電層之一側先逐漸變小，再逐漸變大。

7. 如申請專利範圍第1項所述之非揮發性記憶單元，其中該穿隧介電層之材質包括氧化矽。

8. 如申請專利範圍第1項所述之非揮發性記憶單元，其中該阻擋介電層之材質包括氧化矽。

9. 一種非揮發性記憶單元的製造方法，該方法包括：

於一基底上形成一穿隧介電層；

於該穿隧介電層上形成一漸變式電荷捕捉層，其中在形成該漸變式電荷捕捉層時係使用數個反應物，且該些反應物之間係具有一混合比，而且在該漸變式電荷捕捉層的形成過程中，該混合比係逐漸變化；

於該漸變式電荷捕捉層上形成一阻擋介電層；

於該阻擋介電層上形成一閘極導電層；

定義該閘極導電層、該阻擋介電層、該漸變式電荷捕捉層與該穿隧介電層；以及

於該閘極導電層兩側之該基底中形成一源極區與一汲極區。

10. 如申請專利範圍第9項所述之非揮發性記憶單元的製造方法，其中該些反應物包括一含矽反應氣體與一含氮反應氣體，以形成一漸變式氮化矽層。

11. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中在形成該漸變式氮化矽層的步驟中，包括控制該含矽反應氣體與該含氮反應氣體之間的混合比，



六、申請專利範圍

而使其逐漸變小。

12. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中在形成該漸變式氮化矽層的步驟中，包括控制該含矽反應氣體與該含氮反應氣體之間的混合比，而使其逐漸變大。

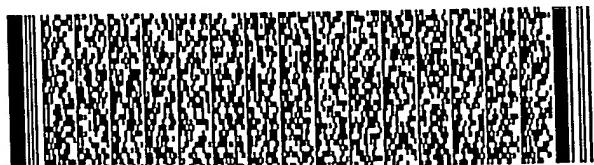
13. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中在形成該漸變式氮化矽層的步驟中，包括控制該含矽反應氣體與該含氮反應氣體之間的該混合比，而使其先逐漸變大，再逐漸變小。

14. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中在形成該漸變式氮化矽層的步驟中，包括控制該含矽反應氣體與該含氮反應氣體之間的混合比，而使其先逐漸變小，再逐漸變大。

15. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中在形成該漸變式氮化矽層的步驟中，包括控制該含矽反應氣體之流量，而使其在該含矽反應氣體之全流量的10%~90%之間變化，或是控制該含氮反應氣體之流量，而使其在該含氮反應氣體之全流量的10%~90%之間變化。

16. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中該含矽反應氣體包括二氯矽烷(SiH_2Cl_2)。

17. 如申請專利範圍第10項所述之非揮發性記憶單元的製造方法，其中該含氮反應氣體包括氨氣(NH_3)。



六、申請專利範圍

18. 一種非揮發性記憶單元，包括：

一穿隧介電層，配置於一基底上；

一阻擋介電層，配置於該穿隧介電層上；

一漸變式電荷捕捉層，配置於該穿隧介電層與該阻擋介電層之間，且該漸變式電荷捕捉層具有一漸變式能帶間隙，而且該漸變式能帶間隙係由多數個捕陷能階所構成；

一閘極導電層，配置於該阻擋介電層上；以及

一源極區與一汲極區，分別配置於該閘極導電層兩側的該基底中。

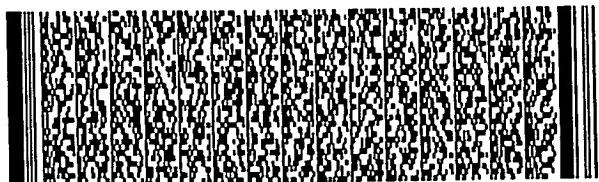
19. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該些漸變式能帶間隙係從該穿隧介電層之一側至該阻擋介電層之一側逐漸增大。

20. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該些漸變式能帶間隙係從該穿隧介電層之一側至該阻擋介電層之一側逐漸減小。

21. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該些漸變式能帶間隙係從該穿隧介電層之一側至該阻擋介電層之一側先逐漸增大再逐漸減小。

22. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該些漸變式能帶間隙係從該穿隧介電層之一側至該阻擋介電層之一側先逐漸減小再逐漸增大。

23. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該些捕陷能階的數目係從該穿隧介電層之一側至該阻擋介電層之一側，隨位置不同而改變，且該些捕陷能



六、申請專利範圍

階的數目相對較少處係具有較高之位能障壁。

24. 如申請專利範圍第23項所述之非揮發性記憶單元，其中該些捕陷能階的數目係由該穿隧介電層之一側至該阻擋介電層之一側逐漸變多，且在該穿隧介電層之一側具有較高之位能障壁。

25. 如申請專利範圍第23項所述之非揮發性記憶單元，其中該些捕陷能階的數目係由該穿隧介電層之一側至該阻擋介電層之一側逐漸變少，且在該阻擋介電層之一側具有較高之位能障壁。

26. 如申請專利範圍第23項所述之非揮發性記憶單元，其中該些捕陷能階的數目係由該穿隧介電層之一側至該阻擋介電層之一側先逐漸變少，再逐漸變多，且在該漸變式電荷捕捉層的中間具有較高之位能障壁。

27. 如申請專利範圍第23項所述之非揮發性記憶單元，其中該些捕陷能階的數目係由該穿隧介電層之一側至該阻擋介電層之一側先逐漸變多，再逐漸變少，且在該穿隧介電層之一側與該阻擋介電層之一側皆具有較高之位能障壁。

28. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該穿隧介電層之材質包括氧化矽。

29. 如申請專利範圍第18項所述之非揮發性記憶單元，其中該阻擋介電層之材質包括氧化矽。



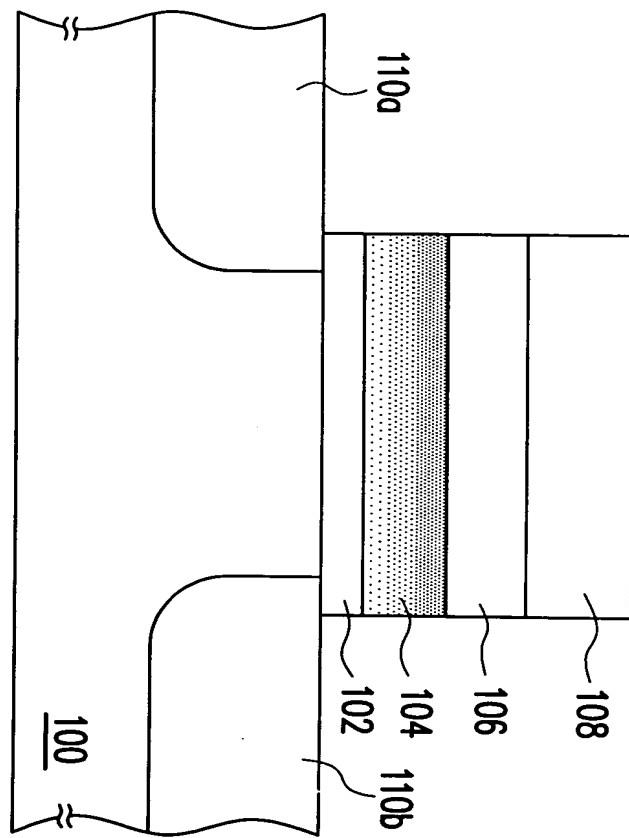


圖 1

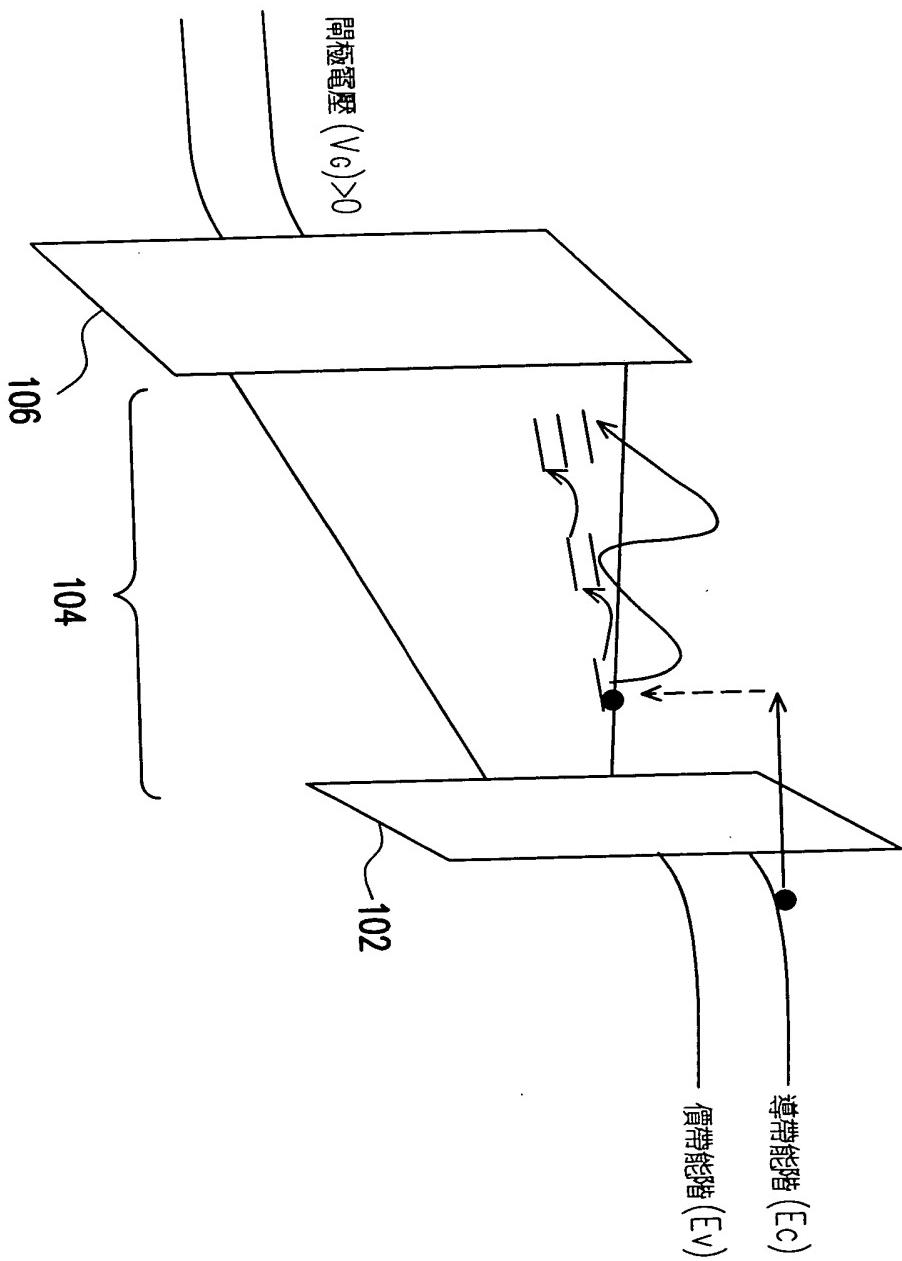


圖 2

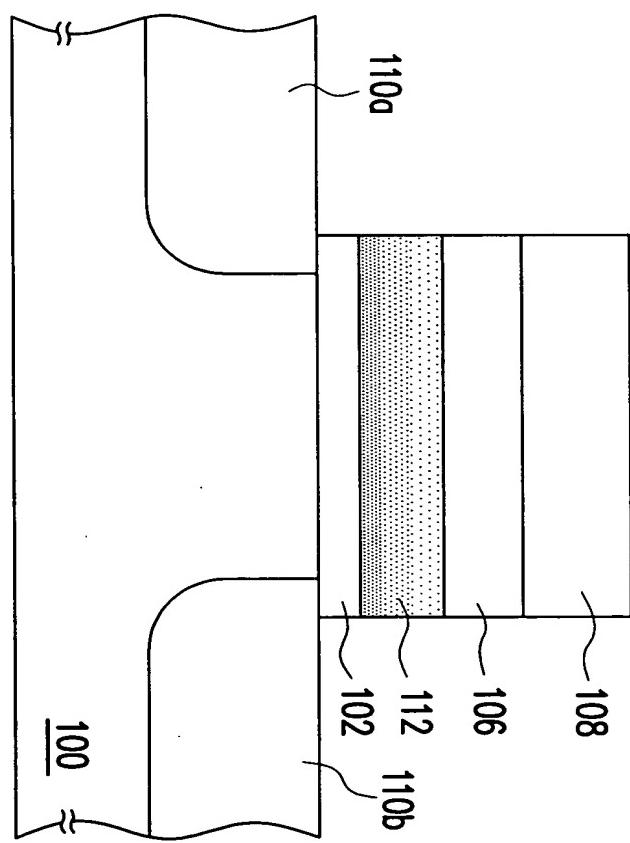
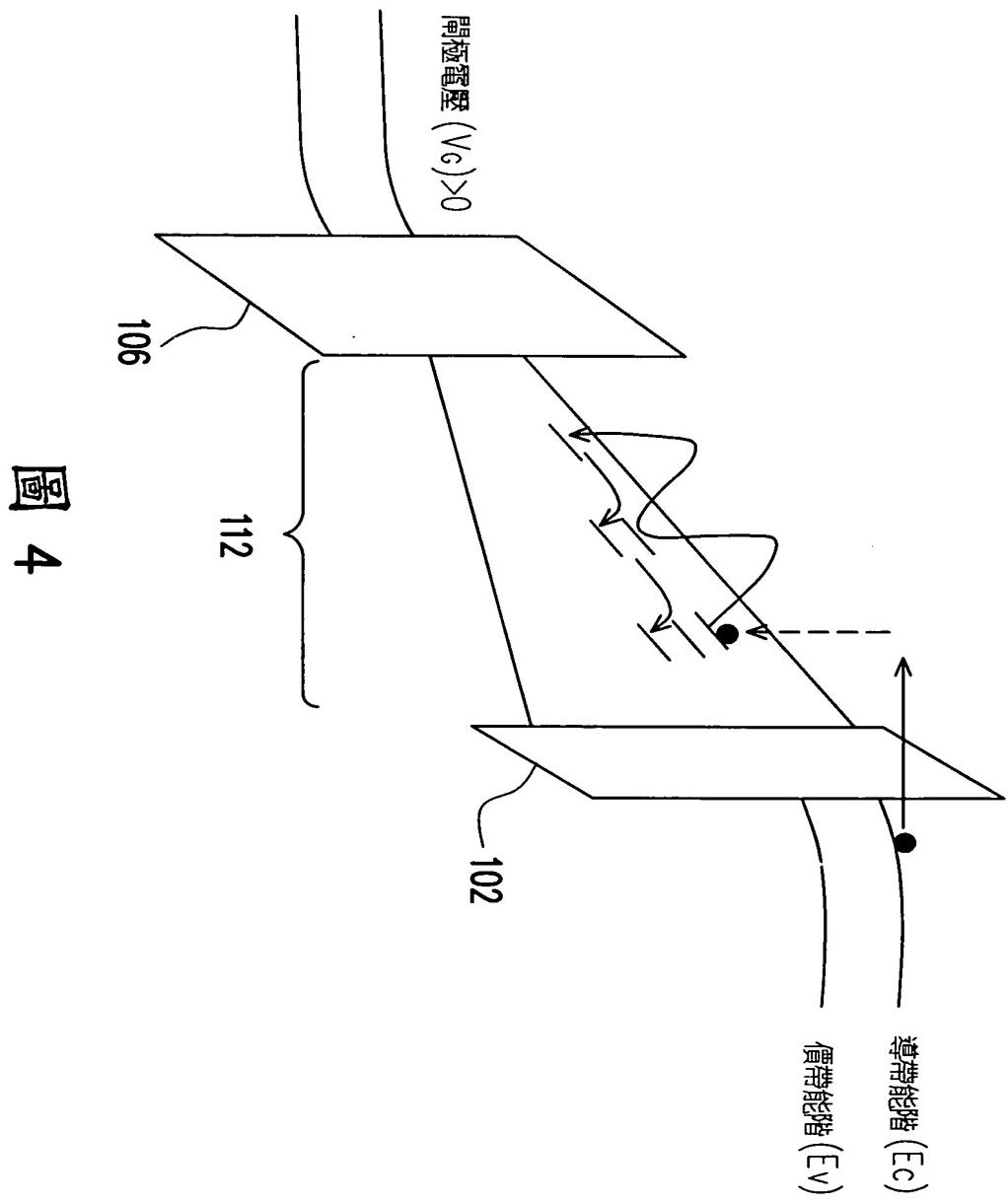


圖 3



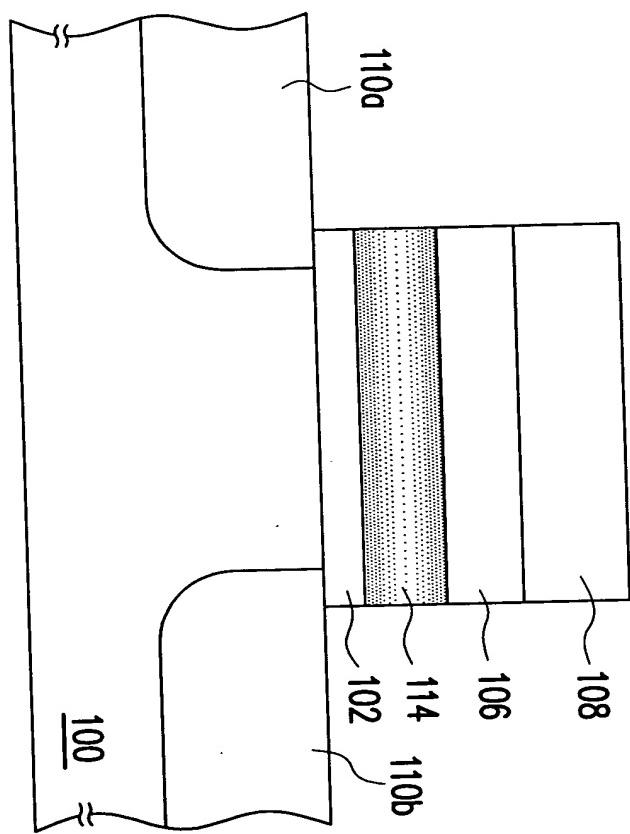


圖 5

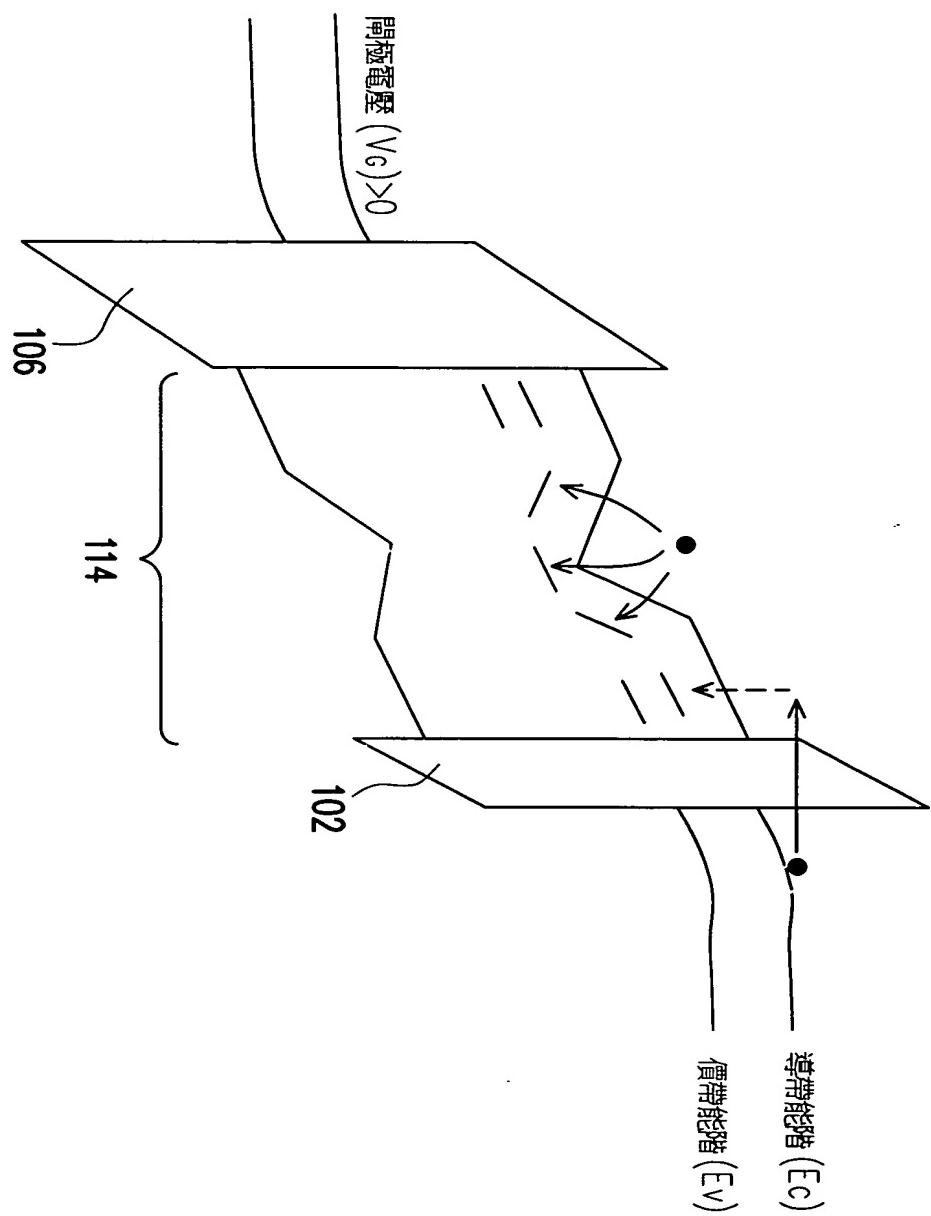


圖 6

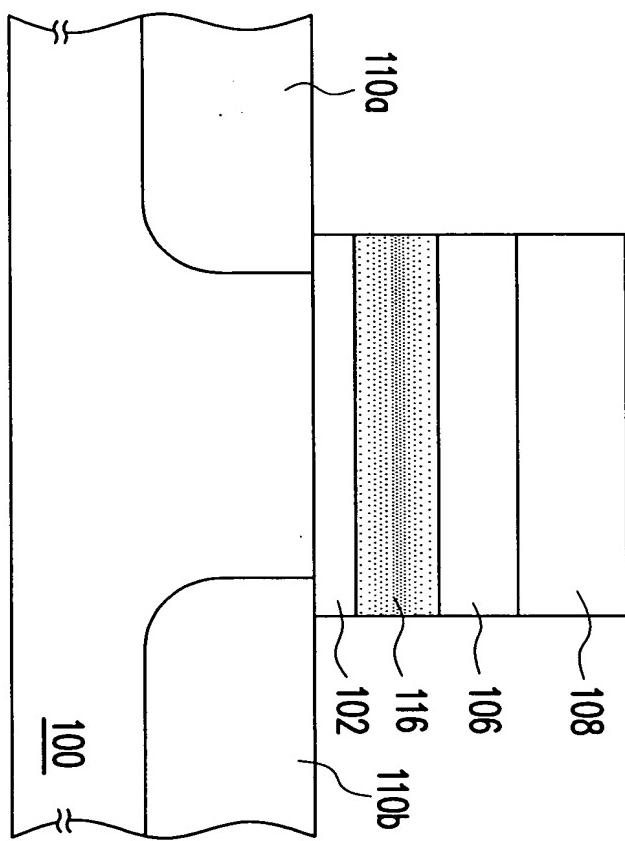


圖 7

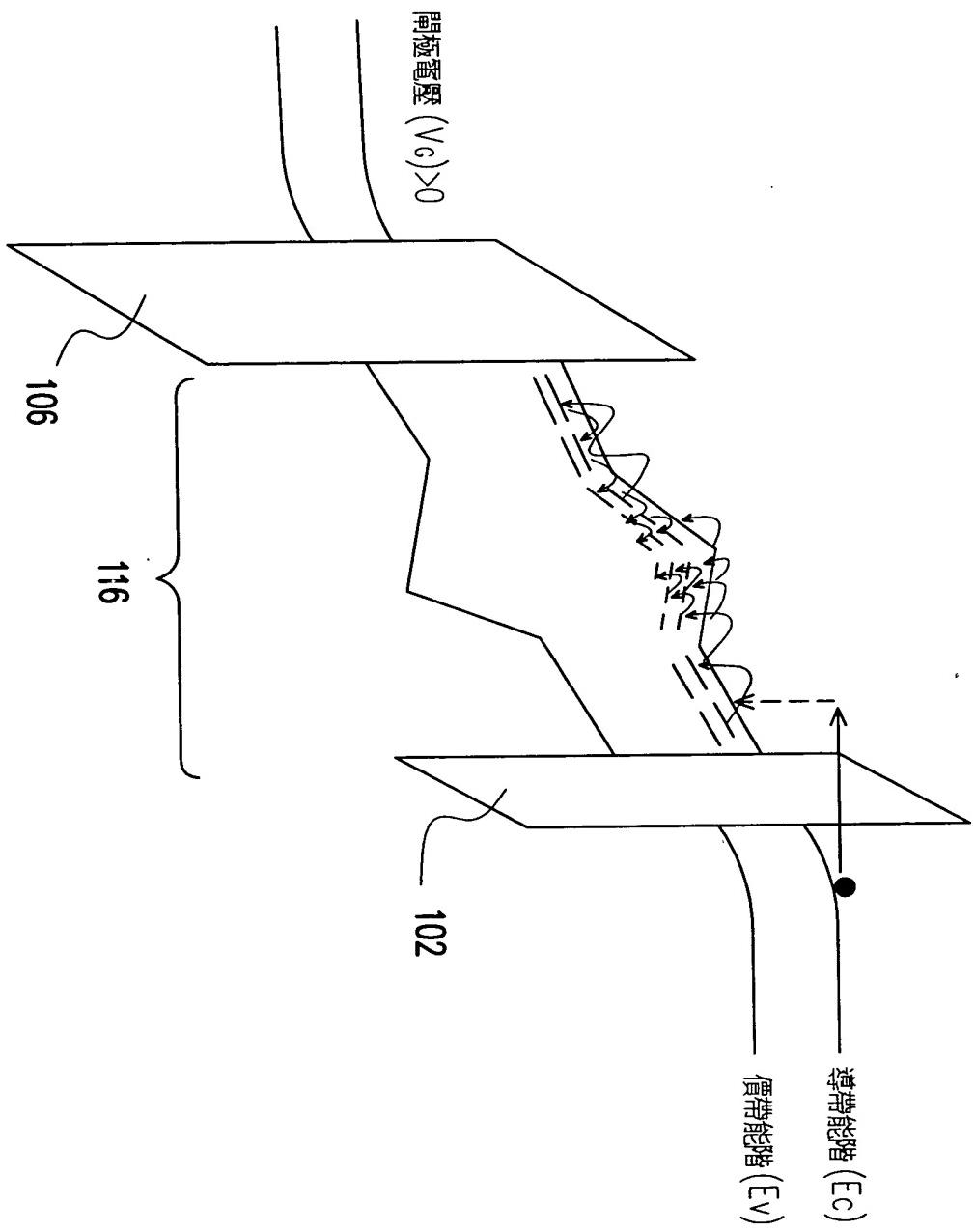


圖 8

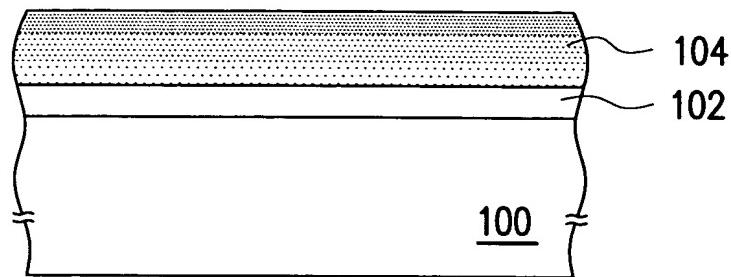


圖 9A

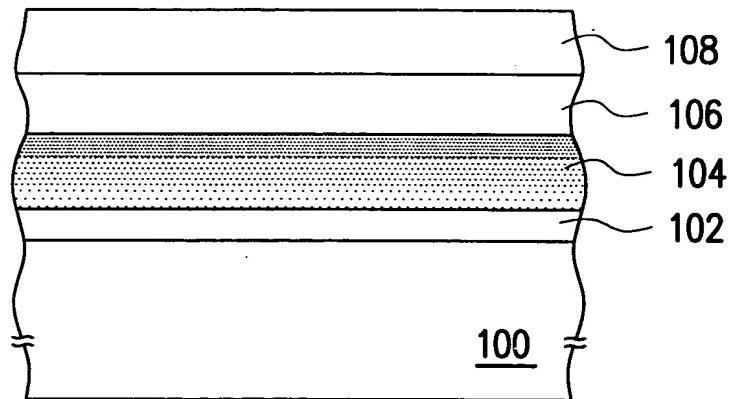


圖 9B

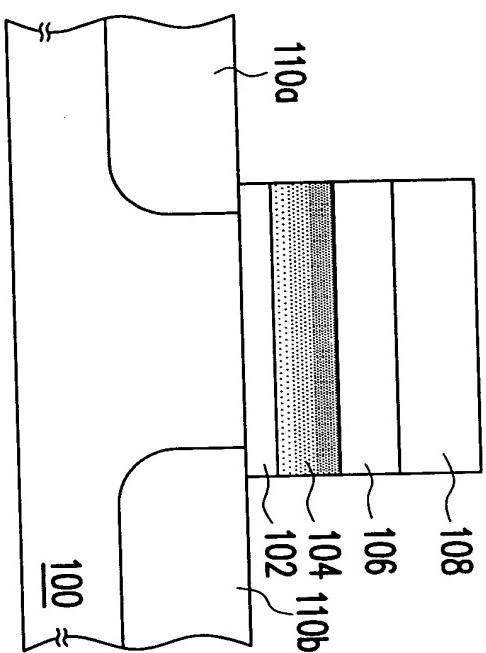
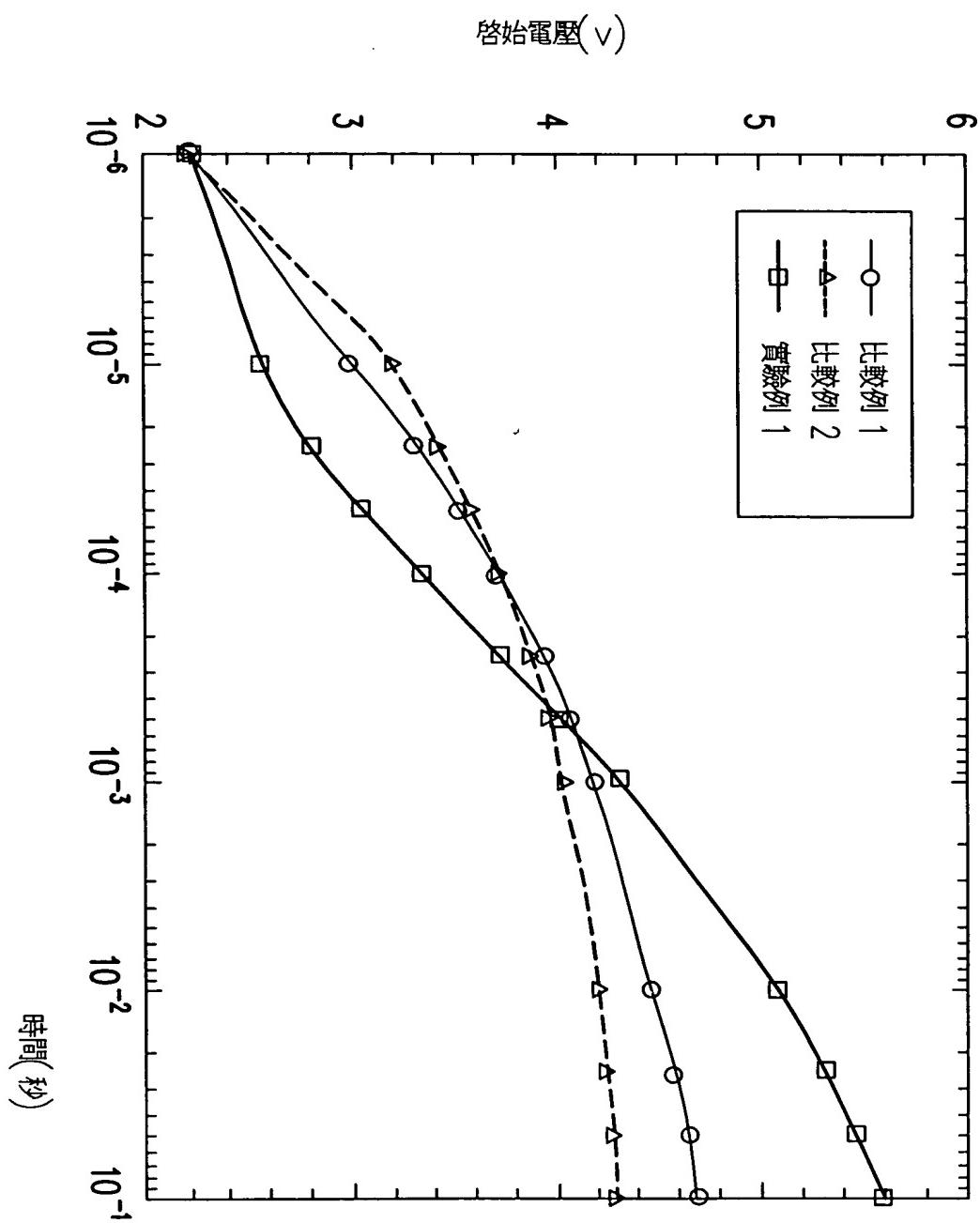


圖 9C

圖 10



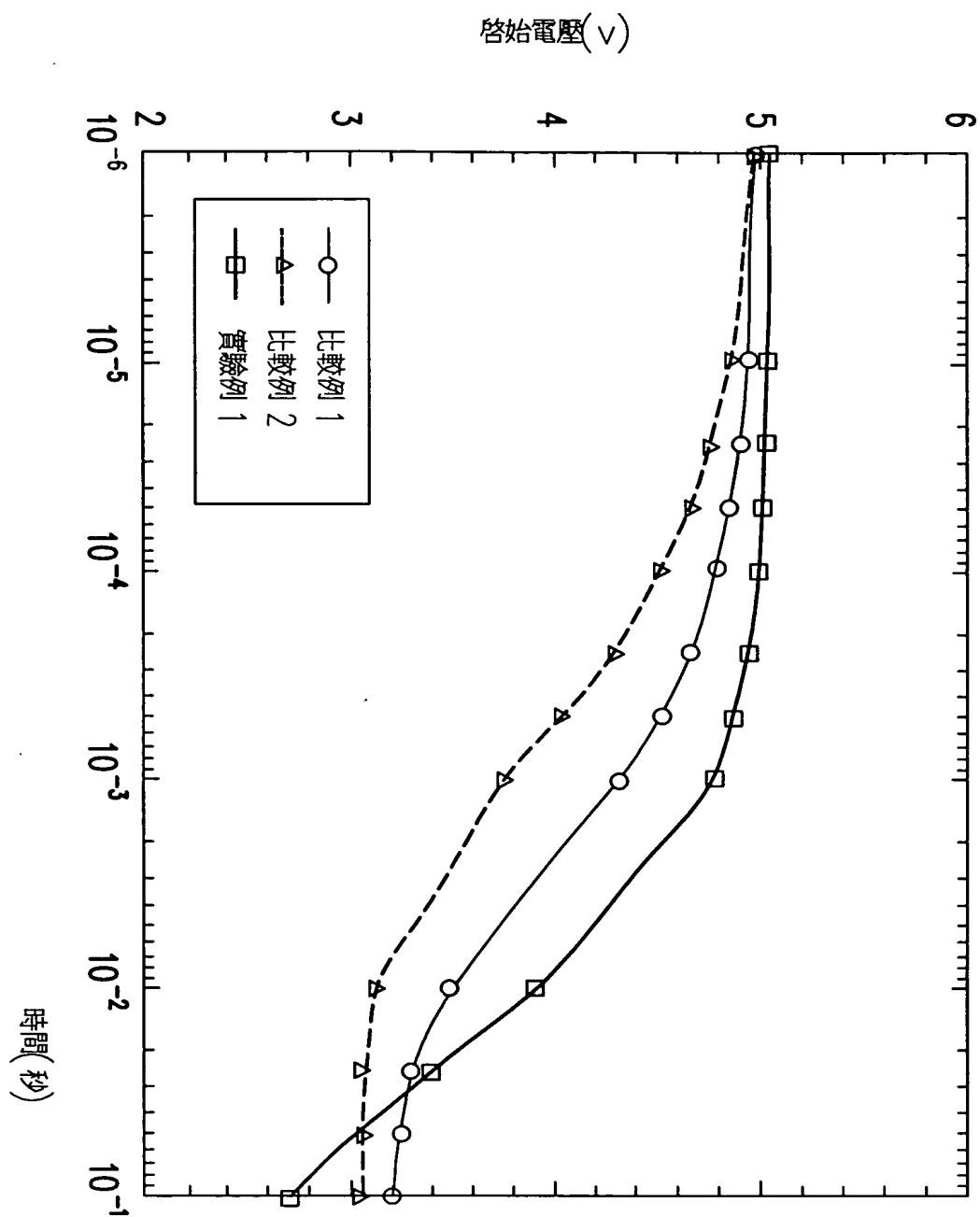


圖 11

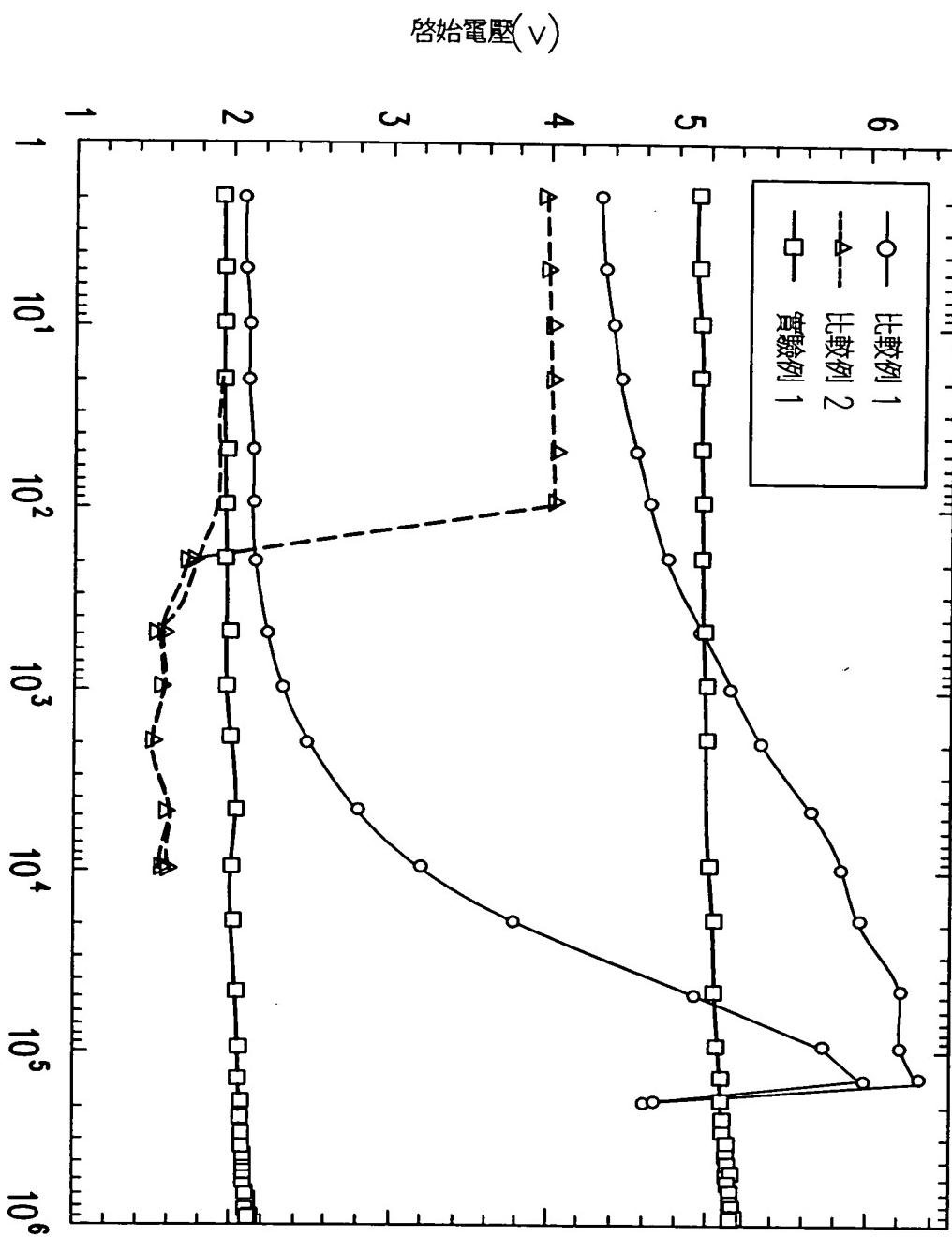


圖 12

程式化 / 抹除週期次數

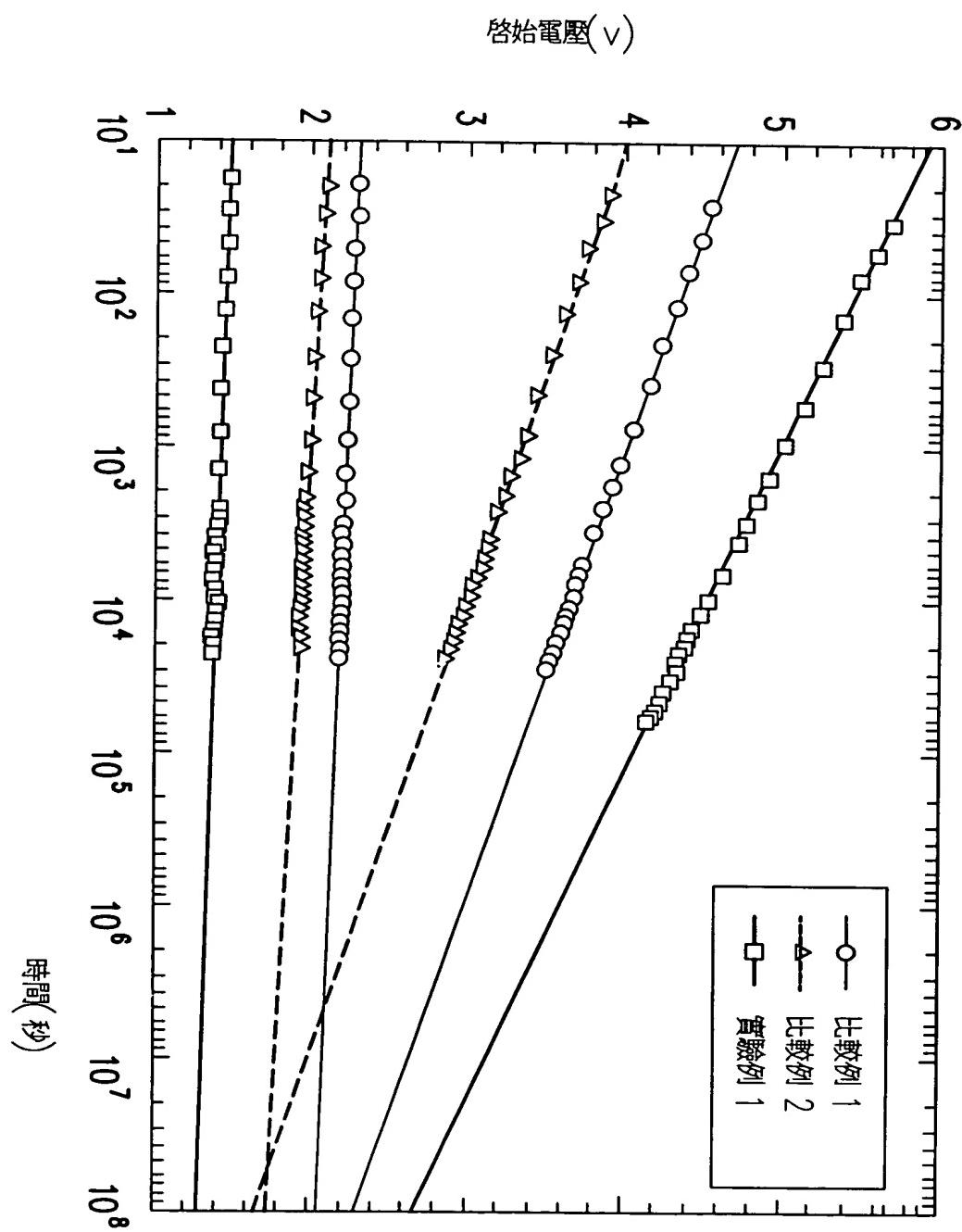
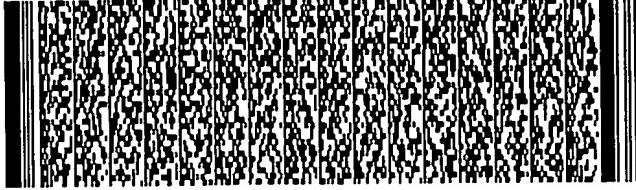
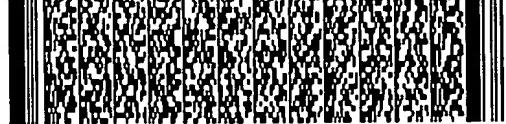


図 13

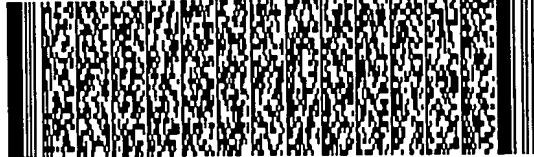
第 1/33 頁



第 2/33 頁



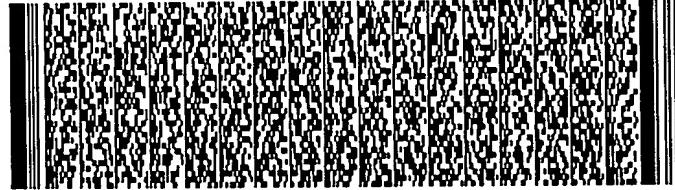
第 3/33 頁



第 4/33 頁



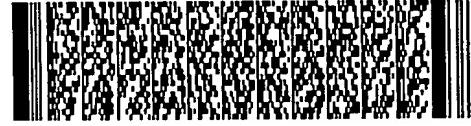
第 5/33 頁



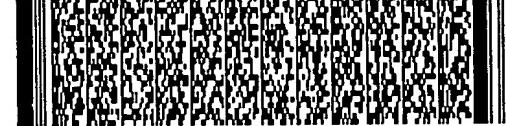
第 6/33 頁



第 7/33 頁



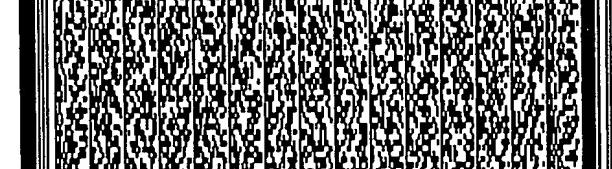
第 8/33 頁



第 9/33 頁



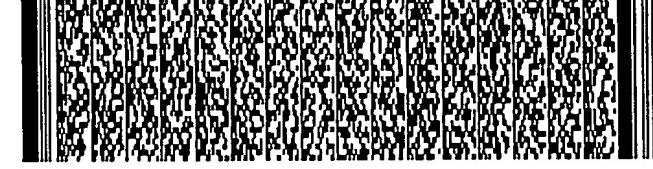
第 10/33 頁



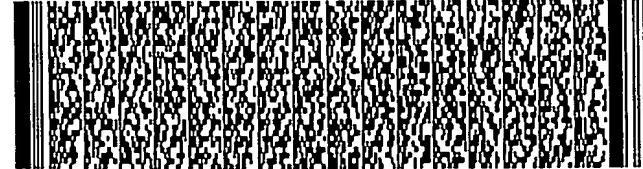
第 10/33 頁



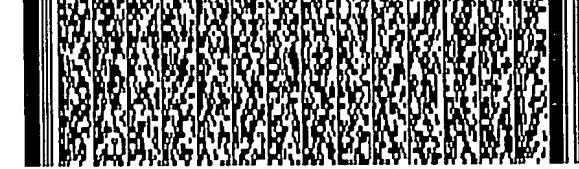
第 11/33 頁



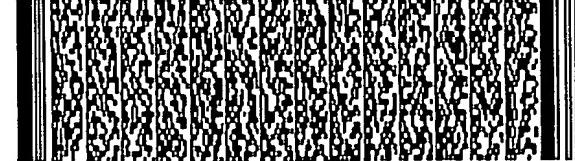
第 11/33 頁



第 12/33 頁



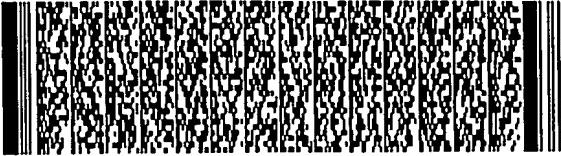
第 12/33 頁



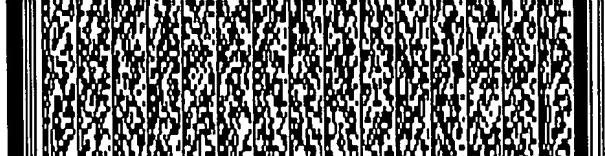
第 13/33 頁



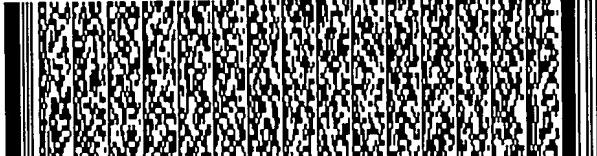
第 13/33 頁



第 14/33 頁



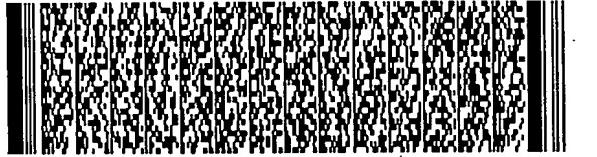
第 14/33 頁



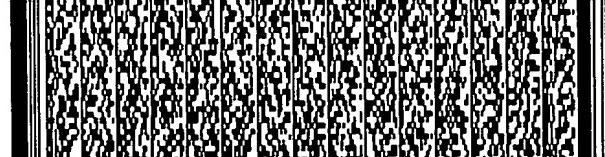
第 15/33 頁



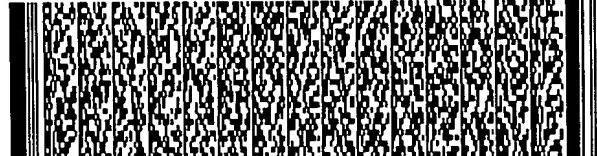
第 15/33 頁



第 16/33 頁



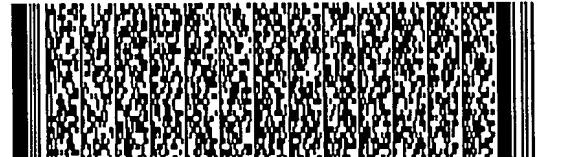
第 16/33 頁



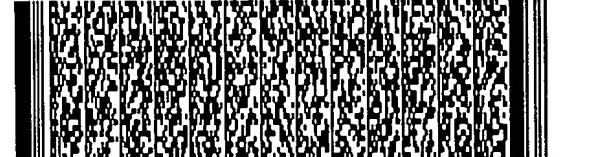
第 17/33 頁



第 17/33 頁



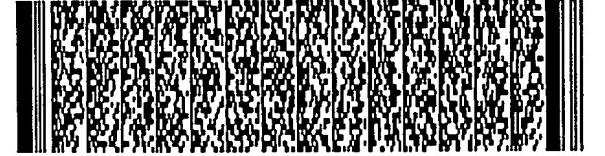
第 18/33 頁



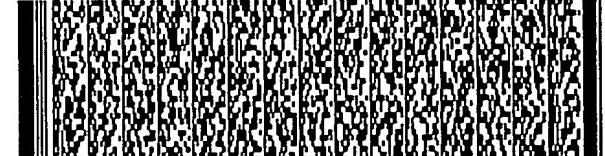
第 18/33 頁



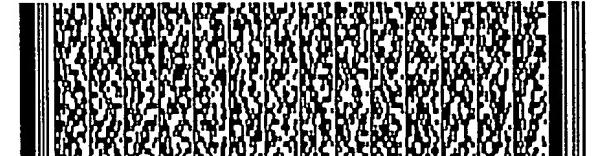
第 19/33 頁



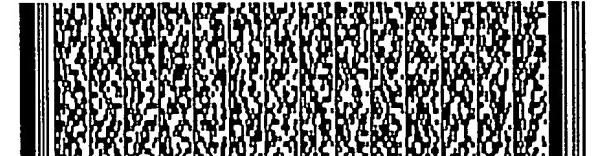
第 19/33 頁



第 20/33 頁



第 20/33 頁



第 21/33 頁

第 22/33 頁

第 22/33 頁

第 23/33 頁

第 23/33 頁

第 24/33 頁

第 24/33 頁

第 25/33 頁

第 25/33 頁

第 26/33 頁

第 26/33 頁

第 27/33 頁

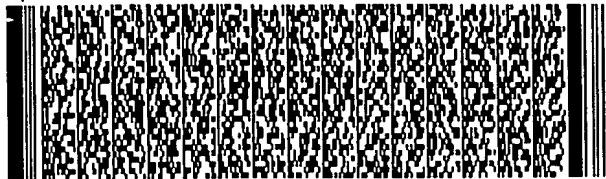
第 28/33 頁

第 29/33 頁

第 30/33 頁

第 31/33 頁

第 32/33 頁



第 33/33 頁

